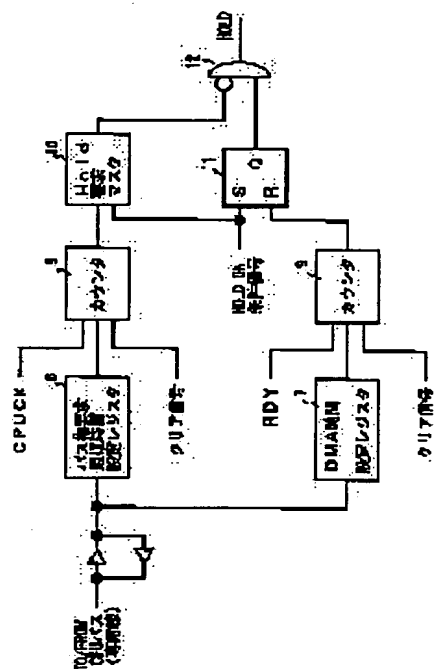


(43)Date of publication of application : 30.04.1999

G06F 13/362
G06F 13/28

(72)Inventor : IWASA HIDETOSHI
MISE KIYOBUMI
TAKAMIKO AKIRA
KATO MIHARU

SOLUTION: This device consists of a bus right acquisition request minimum time setting register 6, a DMA transfer time setting register 7, counters 8 and 9, a HOLD request mask 10, a flip-flop circuit 11 and an AND gate 12. When data transfer performed by using a common bus, data transfer is performed by bus control which preliminarily sends a bus right acquisition request signal HOLD to a bus controller that is connected to the common bus and starts the data transfer after receiving a bus use permission signal HOLDACK from the bus controller. The register 7 sets DMA transfer time, and the register 6 sets the minimum time which makes the next bus right acquisition request after releasing a bus right. As a result, it is possible to adjust transfer capability of the bus in each DMAC.



[Date of extinction of right]

01/04/10 17:28

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-120123

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶G 0 6 F 13/362
13/28

識別記号

5 2 0
3 1 0

F I

G 0 6 F 13/362
13/285 2 0 B
3 1 0 E

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願平9-287347

(22) 出願日 平成9年(1997)10月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 岩佐 英敏

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 三瀬 清文

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

最終頁に続く

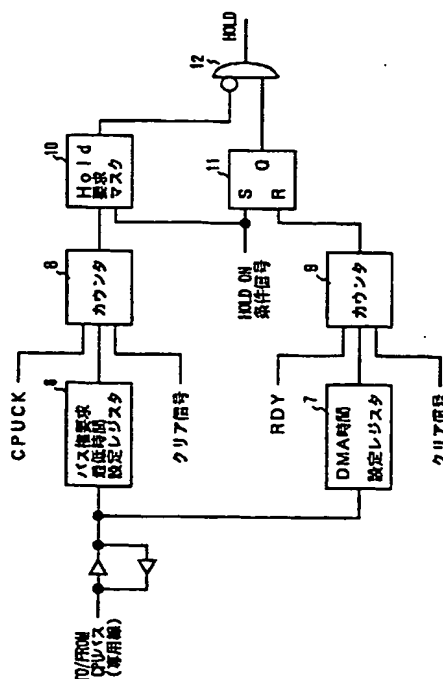
(54) 【発明の名称】 バス制御によるデータ転送装置

(57) 【要約】

【課題】本発明は、バスの転送能力をDMAC毎に調整することにより、共通バスを介したデータ転送を効率的に行うことを目的とする。

【解決手段】バス権獲得要求最低時間設定レジスタ6、DMA転送時間設定レジスタ7、カウンタ8、9、HOLD要求マスク10、フリップフロップ回路11及びアンドゲート12より構成される。共通バスを用いてデータ転送を行う場合、予めバス権獲得要求信号HOLDを前記共通バスに接続されたバスコントローラに送出し、該バスコントローラからのバス使用許可信号HOLDACKを受けて後、データ転送を開始するバス制御によるデータ転送が行われる。本発明は、DMA転送時間設定レジスタ7によりDMA転送時間が設定され、バス権獲得要求最低時間設定レジスタ6により、バス権解放後、次のバス権獲得要求できる最低時間が設定される。その結果、バスの転送能力をDMAC毎に調整できる。

本発明の構成を示すブロック図



【特許請求の範囲】

【請求項1】 共通バスに接続された中央処理装置又はダイレクトメモリアクセスコントローラが共通バスを用いてデータ転送を行う場合、予めバス権獲得要求信号を前記共通バスに接続されたバスコントローラに送出し、該バスコントローラからのバス使用許可信号を受けた後、データ転送を開始するバス制御によるデータ転送装置において、前記中央処理装置又は前記ダイレクトメモリアクセスコントローラが、一回のバス使用許可により行える最大のデータ転送時間を設定するDMA転送時間設定手段、

バス使用許可を受けてなされたデータ転送後、次のバス権獲得要求までの最低時間を設定するバス権獲得要求最低時間設定手段、及び前記DMA転送時間設定手段及び前記バス権獲得要求最低時間設定手段により設定された設定値を変更する設定値変更手段とを有することを特徴とするバス制御によるデータ転送装置。

【請求項2】 前記DMA転送時間設定手段は、データ転送時間に対応するバスサイクルの数を設定することにより行うことを特徴とする請求項1記載のバス制御によるデータ転送装置。

【請求項3】 前記バス権獲得要求最低時間設定手段は、前記最低時間に対応する中央処理装置のクロック数を設定することを特徴とする請求項1記載のバス制御によるデータ転送装置。

【請求項4】 前記設定値変更手段は、中央処理装置のファームウェアであることを特徴とする請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置。

【請求項5】 前記設定値変更手段は、外部からの変更指示を直接専用線を介して、前記DMA転送時間設定手段及び前記バス権獲得要求最低時間設定手段に伝えることを特徴とする請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置。

【請求項6】 前記設定値変更手段は、外部からの変更指示を共通バスを介して、前記DMA転送時間設定手段及び前記バス権獲得要求最低時間設定手段に伝えることを特徴とする請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置。

【請求項7】 前記設定値変更手段は、共通バスの使用状況に基づいて動的に、設定値を変更することを特徴とする請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置。

【請求項8】 前記DMA転送時間設定手段及びバス権獲得要求最低時間設定手段はそれぞれ、ダイレクトメモリアクセスコントローラの内部又は外部に設けられたレジスタを有し、DMA転送時間及びバス権獲得要求最低時間を前記レジスタに設定することを特徴とする請求項1ないし8いずれか一項記載のバス制御によるデータ転送装置。

【請求項9】 前記バス権獲得要求最低時間設定手段

は、バス権獲得要求信号又はバス使用許可信号がオフになった時点から、時間の経過を計測することの特徴とする請求項1ないし8いずれか一項記載のバス制御によるデータ転送装置。

【請求項10】 ダイレクトメモリアクセスコントローラにおいて、バス権獲得のためのバス権獲得要求信号生成手段を有し、

該バス権獲得要求信号生成手段は、DMA転送時間設定手段及びバス権獲得要求最低時間設定手段を有し、前記DMA転送時間設定手段は、一回のバス使用許可により行える最大のデータ転送時間を設定し、

バス権獲得要求最低時間設定手段は、バス使用許可を受けてなされたデータ転送後、次のバス権獲得要求までの最低時間を設定することを特徴とするダイレクトメモリアクセスコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バス制御によるデータ転送装置に関し、特に、DMA転送によるデータ転送量を、バスの使用状況に応じて、調整可能なバス制御によるデータ転送装置に関する。

【0002】

【従来の技術】 図1は、従来のデータ転送装置を示すブロック図である。図示するデータ転送装置は、共通バス1、CPU2、バスコントローラ3、ダイレクトメモリアクセスコントローラ（以下、「DMAC」という。）5、6を有する。これらの部品は、印刷配線回路基板（Printed Wired Circuit Board：以下、「PWC B」と略す。）に搭載され、ユニット化されている。このような構成は、CPU-バスユニットとも呼ばれる。CPU2、DMAC5及びDMAC6は、バスコントローラ3の制御のもとに、バス使用权を獲得してバスマスタとなる。以下、バスマスタが、DMAC5、CPU2、DMAC6の順にローテーションする場合の動作について説明する。

【0003】 ①DMAC5からバスコントローラ3に、バス権獲得要求信号HOLDを送出する（図2（3））。

②バスコントローラ3からCPU2に、HOLDを送出する（図2（1））。

③CPU2からバスコントローラ3に、バス使用許可信号HOLDACKを送出する（図2（2））。

【0004】 ④バスコントローラ3からDMAC5に、HOLDACKを送出し（図2（4））、その結果、DMAC5がバスマスタとなりT2だけDMA転送を行う。

⑤次に、CPU2がバスマスタとなり、所要の処理を行う。その間に、DMAC5が、バスコントローラ3に、連続してHOLDを送出（図2（3））するが、該バス

権獲得要求信号は時間T1だけマスクされて送出される。

【0005】⑥DMAC6からバスコントローラ3に、HOLDを送出する(図2(5))。

⑦バスコントローラ3からCPUに、HOLDを送出する(図2(1))。

⑧CPU2からバスコントローラ3に、HOLDACKを送出し(図2(2))、その結果、DMAC6がバスマスタとなりT3だけDMA転送を行う。

【0006】⑨バスコントローラ3からCPU2に、バス権獲得要求信号HOLDを送出(図2(1))し、前記と同じ手順で、CPU2からバスコントローラ3に、HOLDACKを送出(図2(2))し、バスコントローラ3からDMAC5にHOLDACKを送出(図2(4))し、DMAC5が二回目のバスマスタとなりDMA転送を行う。

【0007】

【発明が解決しようとする課題】このような従来のものは、前記のように、PWCB上にCPU2やDMAC5、6が共存するデータ転送装置の動作状況は、それぞれのハードウェアやファームウェアが持つ固有値に依存する。例えば、DMACが再度HOLD出力を発生するまでの時間(図2のT1)及びDMACがバスマスタとして動作する時間(図2のT2やT3)は前記のように、それぞれのハードウェアやファームウェアが持つ固有値に依存する。従って、一度、ハード設計が終了した後に、ハード又はファームウェアの処理能力を変更するには、ファームウェア内での処理能力の改善及びハードの再設計が必要であった。

【0008】また従来のバス制御では、バスマスタとなるDMACに優先度を設け、DMAの実行される順番を変更することが行われていた。従来技術でも、優先順位の割り振りを固定又は任意に行うことにより、データ転送装置の処理能力の改善を行うことが可能であるが、DMA転送時間は、バスマスタであるDMACがハードウェアやファームウェアが持つ固有値に従って決められる(例えば、全てのデータを転送するまで中止しないか、又は一定の量に分割して転送するか)ので、バスコントローラ3であっても、他のDMACの動作が終了するまで、バスコントローラ3はバス制御が不可能になってしまう。

【0009】更に、全てのバス制御の論理をハードのみで行うため、外部からバス制御設定を変更することが不可能であった。本発明は、前記の従来技術の問題点を解決し、一回のバス使用許可により行える最大のデータ転送時間及びデータ転送後次のバス権獲得要求までの最低時間を、バス権獲得要求信号を送出する各DMAC等毎に変更可能として、共通バスを介したデータ転送を効率的に行うことを目的とする。

【0010】

【課題を解決するための手段】図3は、本発明の原理を説明するための図である。あるDMACが、バス権獲得要求信号HOLDを出力し、これに対してバスコントローラがバス使用許可信号HOLDACKを返送してきた状態を示す。図中(A)は、DMACがバス使用権を獲得して、DMA転送を実行できるDMA転送時間を示し、(B)は、DMA転送終了後再びバス権獲得要求信号を出力するまでの時間である。

【0011】本発明は、DMA転送時間(A)をDMAC毎に任意に変更できるようにすると共に、時間(B)をDMA転送後再びバス権獲得要求を出力することができる最低時間とし、この最低時間をDMAC毎に任意に変更できるようにする。以下、前記最低時間(B)をバス権獲得要求最低時間という。前記、時間(A)、

(B)を調整可能とするために、本発明は、以下の構成を有する。

【0012】請求項1に記載された発明は、共通バス(1)に接続された中央処理装置(2)又はダイレクトメモリアクセスコントローラDMAC(5、6)が共通バス(1)を用いてデータ転送を行う場合、予めバス権獲得要求信号HOLDを前記共通バス(1)に接続されたバスコントローラ(3)に送出し、該バスコントローラ(3)からのバス使用許可信号HOLDACKを受けて後、データ転送を開始するバス制御によるデータ転送装置において、前記中央処理装置(2)又は前記ダイレクトメモリアクセスコントローラDMAC(5、6)が、一回のバス使用許可により行える最大のデータ転送時間を設定するDMA転送時間設定手段(基本レジスタ(DBRR)等のレジスタに設定)、バス使用許可を受けてなされたデータ転送後、次のバス権獲得要求までの最低時間を設定するバス権獲得要求最低時間設定手段(基本レジスタ(DBRR)等のレジスタに設定)並びに前記DMA転送時間設定手段及び前記バス権獲得要求最低時間設定手段により設定された設定値を変更する設定値変更手段を有することを特徴とする。これにより、バスの転送能力をDMAC毎に調整することにより、CPU処理に影響を与えることのない、適正な量のバス転送を可能とすることができる。

【0013】請求項2に記載された発明は、請求項1記載のバス制御によるデータ転送装置において、前記DMA転送時間設定手段は、データ転送時間に対応するバスサイクルの数(バスサイクル数)を設定することを特徴とする。これにより、データ転送のサイクルと整合して、DMA転送時間設定が可能となる。請求項3に記載された発明は、請求項1記載のバス制御によるデータ転送装置において、前記バス権獲得要求最低時間設定手段は、前記最低時間に対応する中央処理装置のクロック数(HOLD wait値)を設定することを特徴とする。これにより、きめ細かいバス権獲得要求最低時間の設定が可能となる。

【0014】請求項4に記載された発明は、請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置において、前記設定値変更手段は、中央処理装置のファームウェアであることを特徴とする、これにより、簡便かつ容易に設定の変更が可能となる。請求項5に記載された発明は、請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置において、前記設定値変更手段は、外部からの変更指示を直接専用線を介して、前記DMA転送時間設定手段及び前記バス権獲得要求最低時間設定手段に伝えることを特徴とする。これにより、外部で共通バスの状況を測定し、その結果に基づいて外部から容易に設定の変更が可能となる。

【0015】請求項6に記載された発明は、請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置において、前記設定値変更手段は、外部から変更指示を共通バスを介して、前記DMA転送時間設定手段及び前記バス権獲得要求最低時間設定手段に伝えることを特徴とする。これにより、外部で共通バスの状況を測定し、その結果に基づいて外部から容易に設定の変更が可能となる。

【0016】請求項7に記載された発明は、請求項1ないし3いずれか一項記載のバス制御によるデータ転送装置において、前記設定値変更手段は、共通バスの使用状況に基づいて動的に、設定値を変更することを特徴とする。これにより、外部から処理能力のパラメータを与えておくことにより、中央処理装置又はOSが自動的に設定の変更をすることができる。

【0017】請求項8に記載された発明は、請求項1ないし8いずれか一項記載のバス制御によるデータ転送装置において、前記DMA転送時間設定手段及びバス権獲得要求最低時間設定手段はそれぞれ、ダイレクトメモリアクセスコントローラDMACの内部又は外部に設けられたレジスタを有し、DMA転送時間及びバス権獲得要求最低時間を前記レジスタに設定することを特徴とする。レジスタに設定するので簡便かつ容易に設定できる。また、そのレジスタはどこに設けても良いから、設計の自由度が増す。

【0018】請求項9に記載された発明は、請求項1ないし8いずれか一項記載のバス制御によるデータ転送装置において、前記バス権獲得要求最低時間設定手段は、バス権獲得要求信号HOLD又はバス使用許可信号HOLDACKがオフになった時点から、時間の経過を計測することを特徴とする。これにより、確実なバス権獲得要求の最低時間の設定ができる。

【0019】請求項10に記載された発明は、ダイレクトメモリアクセスコントローラDMACにおいて、バス権獲得のためのバス権獲得要求信号生成手段を有し、該バス権獲得要求信号生成手段は、DMA転送時間設定手段及びバス権獲得要求最低時間設定手段を有し、前記DMA転送時間設定手段は、一回のバス使用許可により行

える最大のデータ転送時間を設定し、バス権獲得要求最低時間設定手段は、バス使用許可を受けてなされたデータ転送後、次のバス権獲得要求までの最低時間を設定することを特徴とするダイレクトメモリアクセスコントローラDMAC。この請求項は、前記請求項1ないし9のデータ転送において使用されるダイレクトメモリアクセスコントローラDMACである。

【0020】

【発明の実施の形態】図4は、図3の原理に基づく本発明の構成を示すブロック図である。図示する構成は、例えばダイレクトメモリアクセスコントローラDMAC内に設けられるもので、バス使用許可を受けてなされたデータ転送後、次のバス権獲得要求までの最低時間を設定するバス権獲得要求最低時間設定レジスタ6、一回のバス使用許可により行える最大のデータ転送時間を設定するDMA転送時間設定レジスタ7、カウンタ8、9HOLD要求マスク10、フリップフロップ回路11及びアンドゲート12を有する。バス権獲得要求最低時間設定レジスタ6及びDMA転送時間設定レジスタ7は、図示を省略する共通バス又は専用線によりその値が設定・変更される。設定の頻度は任意であるが、例えば、DMACがバスマスタになる度合いとする。また、レジスタ6と7は、DMAC内に設ける代わりに、DMACの外部に設けても良い。

【0021】カウンタ8は、図示を省略するCPUのクロック数をカウントし、バス権獲得要求最低時間設定レジスタ6の設定値(HOLD wait値)になるとHOLD要求マスク10にハイレベル信号を出力する。このカウンタ8は、バス権獲得要求信号HOLD又はバス使用許可信号HOLDACKの終了(ネゲート)を検出し、その検出信号により、その値がクリアされる。HOLD要求マスク10は、カウンタ8の出力を受けて、カウンタ8の出力がロウレベル信号の時、DMA転送後一度バス権獲得要求信号HOLDが連続して出力されるのを禁じるために、DMA転送後一定期間、アンドゲート12のゲートを閉じる信号をアンドゲート12に印加する。

【0022】一方、カウンタ9は、バスサイクルの終わりを示すレディ信号(RDY信号)又はバスサイクルの始めを示すDADS信号の数をカウントし、DMA転送時間設定レジスタ7の設定値(バスサイクル値)になるとハイレベル信号を出力し、フリップフロップ回路11のリセット端子Rに印加される。このカウンタ9は、バス権獲得要求信号HOLD又はバス使用許可信号HOLDACKの開始(アサート)を検出し、その検出信号により、その値がクリアされる。フリップフロップ回路11のセット端子Sには、HOLD ON 条件(当該DMACが、少なくともHOLD信号の送出とHOLDACK信号の受信を条件とする)信号がセット端子に印加される。HOLD要求マスク10の出力信号とフリップ

フリップフロップ回路11の出力信号がアンドゲート12により論理積が取られ、バス権獲得要求信号HOLDとして出力される（アンドゲート12が開いているとき、フリップフロップ回路11のハイレベル信号がバス権獲得要求信号HOLDとして出力される。）。

【0023】次に、図1に示す構成の動作を説明する。当初カウンタ8は、バス権獲得要求信号HOLD又はバス使用許可信号HOLDACKのネゲートにより、その値がクリアされているので、バス権獲得要求信号HOLDの送信時は、通常ハイレベルの信号であるから、HOLD要求マスク10にはハイレベル信号が印加され、アンドゲート12のゲートは開かれている。また、カウンタ9もフリップフロップ回路11と同じ時にリセットされ、その出力はロウレベルの信号であり、フリップフロップ回路11にリセット信号を出力しない。

【0024】一方、フリップフロップ回路11は、HOLD ON 条件信号によりセットされ、そのフリップフロップ回路11のハイレベル信号がアンドゲート12に印加される。前記の通りHOLD要求マスク10の信号によりアンドゲート12が開かれているので、フリップフロップ回路11のハイレベル信号がそのまま、アンドゲート12の出力となる。このハイレベル信号がバス権獲得要求信号HOLDとして、前述のバスコントローラに送出される。

【0025】その後、カウンタ9が、レディ信号をカウントし、DMA転送時間設定レジスタ7の値（バスサイクル値）になると、カウンタ9からハイレベル信号が出力される。このハイレベル信号がフリップフロップ回路11のリセット端子Rに印加され、フリップフロップ回路11をリセットする。その結果、前記バス権獲得要求

信号HOLDがロウレベルの信号になり、バスコントローラへのバス権獲得要求信号HOLDの送出を停止する。そのときバス権獲得要求信号HOLDが終了するので、その終了検出する回路の出力により、カウンタ6がクリアされる。

【0026】そして、カウンタ6がクリアされた結果、その出力はロウレベルの信号となる。その後、カウンタ6がカウントを開始し、CPUのクロック数がバス権獲得要求最低時間設定レジスタの値（HOLD wait 値）になるまで、カウンタ6の出力は、ロウレベルの信号である。カウンタ6の出力は、ロウレベルの信号のときは、HOLD要求マスク10の出力により、アンドゲート12のゲートが閉じられる。その間に、HOLD ON 条件信号をフリップフロップ回路11のセット端子に印加して、フリップフロップ回路11の出力をハイレベル信号としても、アンドゲート12は、ロウレベルの信号のままであり、アンドゲート12の出力として、ハイレベル信号（HOLD信号）を得ることはできない。その後、カウンタ8のカウント値がバス権獲得要求最低時間設定レジスタの値（HOLD wait 値）になると、カウンタ8からハイレベル信号が出力され、HOLD要求マスク10の出力により、アンドゲート12のゲートを開くので、フリップフロップ回路11のハイレベル信号は、アンドゲート12により出力される。つまり、バス権解放後、次のバス権獲得要求信号HOLDは、カウンタ8がバス権獲得要求最低時間設定レジスタ6の値を越えない限りできないようにされている。

【0027】本発明における時間設定手順を図5に示す。これにより、共通バスの状況に適合した最適なバス転送量とすることができる。

ステップ101 時間設定開始

ステップ102 後述する中央処理装置のレジスタの設定又はプログラムの実行により、DMA転送時間設定（1回のHOLD要求で実行されるサイクル数の設定）及びバス権獲得要求最低時間（HOLD要求最低時間）を初期設定

ステップ103 HOLDを送出している時間又HOLDACKを送出している割合等を測定して、共通バスの使用状況の調査

ステップ104 ハード処理能力の判定

ステップ105 ハード処理能力が不足している場合は、DMA転送時間を短く（バスサイクル数を少なく）し、バス権獲得要求最低時間は長く設定を変更

ステップ106 ハード処理能力が不足していない場合は、DMA転送時間を長く（バスサイクル数を多く）し、バス権獲得要求最低時間は短く設定を変更

次に、図4の構成を具備するDMACの構成を図6を用いて説明する。DMAC40は、図4の構成を具備するHOLD生成部41、バスサイクルの先頭を示すDADSを生成するDADS生成部44、複数のHOLDが生成された場合にその調整をするHOLD調停部45、DMAを実行するときに必要なアドレスを生成するDMA

アドレス生成部46、そのアドレスを保持しているDMAアドレス保持部47、DMAシーケンサDMASEQ49等より構成されている。DMAシーケンサDMASEQ49は、カウンタ42及びデコーダ43より構成されている。このDMAC40には、外部からDMAイベント及びレディ信号（RDY）がDMAシーケンサDM

ASEQ49に印加され、デコーダ43の出力は、RADSG生成部44、HOLD生成部41、DMAアドレス生成部46に印加される。バス権獲得要求最低時間（HOLD要求最低時間）を設定するためのHOLD wait値及びDMA転送時間（DMA転送時間）を設定するためのバスサイクル値がHOLD生成部41に印加される。HOLD生成部41から、RADSG生成部44及びHOLD調停部45にHOLD生成部41の出力が印加され、またHOLD調停部45には、外部から他のMACのバス権獲得要求信号HOLDREQ信号が印加されている。外部からのHOLDACK信号と前記HOLD信号のアンド信号によりイネーブルされてDMAアドレス生成部46よりDMAアドレスが出力される。なお、HOLD調停部45の位置は、HOLD生成部4の中でも、前でも、さらにはDMACの内部でなく、別個の一つのブロックとして構成しても良い。

【0028】次に、HOLD生成部41の詳細を図7を用いて説明する。まず、オア回路54には、他DMASEQからのREQが無いものとして考える（つまり、オア回路の入力はREQ1のみとし、他のDMAシーケンサからの信号は無視する。）。この場合、図7の制御回路53、制御回路56、カウンタ8、カウンタ9は、それぞれ図4のDMA転送時間設定レジスタ7、バス権獲得要求最低時間設定レジスタ6、カウンタ55、カウンタ50に相当する。

【0029】制御回路53及び制御回路56は、制御回路52の出力により、イネーブルされる。制御回路53には、バス権獲得要求信号HOLD及びバス使用許可信号HOLDACKのアンド出力（つまり、DMACがバスマスタとなった状態を示す信号）、HOLD wait値設定信号及びバスサイクル値設定信号が印加されている。基本的には、制御回路53及び制御回路56は、制御回路52の出力により、当該DMACがバスマスタの時に、イネーブルされる。

【0030】カウンタ50に、バスサイクル値設定信号が印加され、カウンタ50にその値が設定される。また、カウンタ55に、HOLD wait値設定信号が印加され、カウンタ55はその値が設定される。制御回路53には、DMAシーケンサからのバス権獲得要求信号、レディ信号（RDY信号）、カウンタ50のカウント値が入力される。制御回路53が制御回路52の出力によりイネーブルされると、制御回路56にバス権獲得要求信号HOLDを出力する。一方、レディ信号（RDY信号）をカウントし、カウンタ50の設定値になると制御回路56へのバス権獲得要求信号HOLDの出力を停止する。制御回路56には、制御回路53からのバス権獲得要求信号HOLD、CPUのクロック信号（CPUCK）及びカウンタ55のカウント値が入力される。制御回路56が制御回路52の出力によりイネーブルされると、制御回路56にバス権獲得要求信号HOLDを

出力する。一方、制御回路56は、バス権獲得要求信号HOLDのネゲートにより、制御回路56からバス権獲得要求信号HOLDの出力を停止し、バス権獲得要求信号HOLDのネゲートにより、CPUのクロック信号（CPUCK）のカウントを開始し、カウンタ55の設定値になると制御回路56へのバス権獲得要求信号HOLDの出力停止を解除する。

【0031】カウンタ55のトリガーとして、バス権獲得要求信号HOLDのネゲートにより行ったが（図8

（1））、バス使用許可信号HOLDACKのネゲートにより行っても良い（（図8（2））。バス権獲得要求信号HOLDネゲート方式は、バス権獲得要求信号HOLDの立ち下りの時間から、バス権獲得要求信号HOLDの立ち上りの時間をHOLD wait設定するものであり、バス使用許可信号HOLDACKネゲート方式は、バス使用許可信号HOLDACKの立ち下りの時間から、バス権獲得要求信号HOLDの立ち上りの時間をHOLD wait設定するものであり、いづれでも良い。なお、バス使用許可信号HOLDACKネゲート方式では、図9に示すように、制御回路56にバス使用許可信号HOLDACKを印加して、制御回路56がバス使用許可信号HOLDACKのネゲートを検知できるように変更する必要がある。

【0032】バス権獲得要求最低時間及びDMA転送時間の設定は、次の方法により行うことができる。

その一：ファームウェアの設定による時間設定

PWCB19処理能力の測定後、ファームウェアの設定により動作の変更を行う。つまり、外部モニタで、全体の時間に対して、バス権獲得要求信号HOLDの送出している時間又はバス使用許可信号HOLDACKの送出している時間の比率等を測定して、共通バスの状態を測定する。その結果、共通バスの使用状況が、所定のレベルを越えている場合、DMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタレジスタの設定値の変更に関してファームウェアの設定を行い、その結果として、DMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタレジスタの設定値の変更を行う。

【0033】また、必要に応じて、プログラムを用意し、該プログラムを実行して、レジスタの内容を変更しても良い。

その二：外部から共通バス経由での設定

PWCB外部において、処理能力の測定後、外部から共通バス経由で設定を行い、動作の変更をする。

【0034】つまり、外部モニタにより、前記のように、共通バスの状態を測定する。その結果、共通バスの使用状況が、所定のレベルを越えている場合、外部から共通バス経由で、DMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタレジスタにアクセスし、設定値の変更を行う。

その三：外部から直接設定

PWCB外部において、処理能力の測定後、外部から直接DMACへ設定を行い、動作の変更をする。

【0035】つまり、外部モニタにより、前記のように、共通バスの状態を測定する。その結果、共通バスの使用状況が、所定のレベルを越えている場合、外部から直接、DMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタレジスタにアクセスし、設定値の変更を行う。

その四：自律設定

PWCBの自律で動作の変更を行う。

【0036】つまり、予め格納されているプログラム等を定期的に起動し、CPU又はOSが有するバスの使用状況を知ることのできる統計情報を使用して、共通バスの状態を測定する。その結果、共通バスの使用状況が、所定のレベルを越えている場合、DMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタレジスタにアクセスして動的に設定値の変更を行う。

その五：専用線による設定の例

前記「その二：外部から共通バス経由での設定」及び「その三：外部から直接設定」による設定は、外部からのレジスタの設定であるが、具体的な専用線により設定する例を図11に示す。

【0037】(1) 専用線での直接設定

①HOLD生成部41とは、別のHOLD wait値保持部61及びバスサイクル値保持部62に、外部から専用線により、HOLD wait値及びバスサイクル値を直接設定する。

②このHOLD wait値保持部61及びバスサイクル値保持部62は、ライトイネーブル信号によって、その値が設定される。

【0038】(2) 保持部を持たずに直接設定

①HOLD wait値及びバスサイクル値は、共通バス又は専用線により、HOLD生成部41のDMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタレジスタにアクセスして、直接設定する。

【0039】②この場合は、ライトイネーブル信号は必ずしも必要ない。

その五：外部レジスタによる設定

前記その一ないしその四は、時間設定をDMAC内のレジスタにその値を設定したが、必ずしもDMAC内のレジスタに設定する必要はないCPU又はバスコントローラ等のDMACの外部に設け、バスマスタの時に参照することでも良い。

【0040】前記レジスタを読むためのサイクルが必要となるが、そのタイミングは、

- ・DMACが予め読み込んで置く
- ・バスマスタの都度読みに行く

・バスマスタの時読みに行くが、値は前回の値を使用する等の形態が有る。

【0041】バス権獲得要求最低時間及びDMA転送時間の設定に関して、これらの変更手段により、次のような設定が可能である。

①共通バスを常時測定し、外部より決められた処理能力を維持するような設定が可能となる。

②PWCBに多量のデータ処理が一時的に必要な場合に、処理能力をダイナミックに変更することができる。

【0042】③PWCBのデータ処理を一時的に抑えて、他方のPWCB能力の妨げにならないように変更することができる。

次に、本発明に使用される設定レジスタの例を図12を用いて説明する。これまでは、送信と受信とで区別なく説明したが、ここでは、送信と受信とでDMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタを別に設けた例である。

【0043】図12(1)にDMACのバス権獲得要求最低時間設定レジスタ及びDMA転送時間設定レジスタである「基本レジスタ(DBRR)」の例を示す。該レジスタは、チャンネル対応に送信(ビットの0から15)と受信(ビットの16から31)で別に保持している。また、レジスタには、それぞれバス休止回数を記憶する部分とバス占有回数を記憶する部分を有している。バス休止回数を記憶する部分には、HOLD wait値が設定されており、バス占有回数を記憶する部分には、バスサイクル値が設定されている。バス休止回数の設定範囲は、例えば0からFH(1から16)で有り、また、バス占有回数の設定範囲は、1から3FH(1から63)である。

【0044】「バス権獲得要求最低時間保証レジスタ(HRQR)」は、送信と受信の間でのバス権獲得要求の最低時間を保証するものである。つまり、送信及び受信がそれぞれDBRRのレジスタの設定通りの動作をしていたとしても、送信と受信は基本的には、非同期である。従って、送信後受信した場合を考えると、送信後の受信は、受信としては規定通り前記基本レジスタ(DBRR)の設定に従っているものの、送信のバス使用許可信号HOLDACKの終わりからは、受信のためのバス権獲得要求信号HOLDの送出は、ほとんど時間を置かずに発せられることがあり得る。そこで、このような場合でも、バス権獲得要求の最低時間を保証するために「バス権獲得要求最低時間保証レジスタ(HRQR)」を設けたものである。このレジスタにより、非同期の送信及び受信であっても、バス権獲得要求信号HOLDの送出は、自身のバス権獲得要求信号HOLDの送出はもちろんのこと、他者のバス権獲得要求信号HOLDとの関係からしても、その送出は最低時間禁止され、連続し

て送出することはない。

【0045】「バス権獲得要求最低時間保証レジスタ (HRQR)」を用いた、機能ブロックを図13を用いて説明する。ブロック30及びブロック31は、それぞれHOLD要求マスク10、フリップフロップ回路11及びアンドゲート12を有する図4の機能ブロックである。ただし、その内容は、ブロック30であれば、送信の基本レジスタ (DBRR) に設定されたHOLD wait値及びバスサイクル値が設定され、ブロック31であれば、受信の基本レジスタ (DBRR) に設定されたHOLD wait値及びバスサイクル値が設定されている。

【0046】オア回路32からは、それぞれ、他のバス権獲得要求信号HOLDの送出を意識することなく、それぞれの基本レジスタ (DBRR) に従ったバス権獲得要求信号HOLDが送出される。一方、バス権獲得要求最低時間保証レジスタ (HRQR) に従ったHOLD要求マスク時間設定レジスタ (HOLDマスク) は、送信、受信の如何を問わずバス権獲得要求の最低時間を保証するべくゲート回路34にマスク信号を印加する。

【0047】前記のものは、DMACの内部要求として (例えば、送信優先、送信非優先、受信非優先、受信優先等がある内)、送信と受信の二つの内部要求のものについて説明したが、次に更に一般化して、三つの内部要求の場合の動作を、図7及び図14を用いて説明する。図7の他のDMAシーケンサDMASEQからのREQは、三つの内部要求 (REQA、REQB、DEQC) として説明する。各内部要求は、他のDMAシーケンサDMASEQの出力であって、かつ制御回路53を経由した信号である。従って、そのDMA転送時間 (DMA転送時間) は、基本レジスタ (DBRR) に設定の通りに制御されたバス権獲得要求信号HOLDである。

【0048】内部要求を三つ扱うのでそれぞれをA、B、Cをつけて区別する。一つの、内部要求REQ (A) は、先に説明の通りREQ1にREQ (A) (図14 (5)) が生成される。つまり、カウンタ50 (A) に、REQ (A) のバスサイクル値設定信号 (バスサイクル値A: 図14 (9)) が印加され、カウンタ50 (A) にその値が設定される。制御回路53には、DMASEQ (A) からのバス権獲得要求信号、レディ信号、カウンタ50 (A) のカウント値が入力される。制御回路53 (A) が制御回路52 (A) の出力によりイネーブルされると、オア54にバス権獲得要求信号REQ (A) (図14 (5)) を出力する。

【0049】同じように他の内部要求REQ (B)、REQ (C) も、同様に、バスサイクル値A (図14 (10)) 及びバスサイクル値C (図14 (11)) に従って、(図14 (5)) バス権獲得要求信号REQ (B) (図14 (6))、バス権獲得要求信号REQ (C) (図14 (7)) が生成される。また、カウンタ55

に、HOLD wait値設定信号 (図14 (8)) が印加され、カウンタ55にその値が設定される。

【0050】制御回路56は、HOLD wait設定信号 (図14 (8)) によって、制御される。このHOLD wait設定信号は、各内部要求に共通に使用される。今、バス権獲得要求信号REQ (A) がオア回路54を介して、制御回路56に出力されたとする。バスコントローラからバス使用許可信号HOLDACK (図14 (2)) が与えられて、バスサイクル値 (A) の期間、バスマスタとなり、データ転送を行う。バスサイクル値 (A) の時間をすぎると、バス権獲得要求信号HOLD (A) をネゲートとし、バスコントローラもバス使用許可信号HOLDACKをネゲートする。そこで、HOLD wait値 (図14 (8)) の「2」の時間だけバス権獲得要求信号の送出が禁止される。次に、バス権獲得要求信号REQ (B) のバス権獲得要求信号HOLDがオア回路56を介して制御回路56に現れる。DMA転送時間は当初5サイクルであったが、HOLD wait値 (図14 (8)) の「2」の時間がすでに経過しているので、バスサイクル値が「3」のところでバス権獲得要求信号HOLDをネゲートしてしまう。その結果、バス権獲得要求信号REQ (B) は、「3」の時間でデータ転送を中止する。

【0051】以上のように内部要求のバス権獲得要求信号HOLDの調整がなされる。

【0052】

【発明の効果】 上述の如く本発明によれば、以下の効果が得られる。

- ① 共通バスマスタの動作の調整を簡単に実施することが可能であり、最も効率の良い動作を大規模な変更なしに行うことができる。
- ② 今までのバス調停のみの調整と比較して格段に細かい設定が可能となる。

【0053】③ 初期設定後のいつでも、設定の変更ができる。

④ 共通バスの状況が最も好ましい状況に常時設定可能であり、中央処理装置の機能も最大限に発揮できる。

⑤ 共通バスを常時測定し、外部より決められた処理能力を維持するような設定が可能となる。

【0054】⑥ PWCBに多量のデータ処理が一時的に必要となった場合に、処理能力をダイナミックに変更することができる。

⑦ PWCBのデータ処理を一時的に抑えて、他方のPWCB能力の妨げにならないように変更することができる。

【図面の簡単な説明】

【図1】 CPUーバスの構成例

【図2】 CPUーバスの動作例

【図3】 本発明の原理を説明するための図

【図4】 本発明の構成を示すブロック図

【図5】本発明における時間設定手順

【図6】図4の構成を具備するDMACの構成図

【図7】HOLD生成部の詳細図

【図8】HOLD wait数カウンタのトリガーを説明する図

【図9】HOLDACKネゲート方式の場合のHOLD生成部の詳細図

【図10】時間設定の手法の例

【図11】専用線による設定の例

【図12】本発明に使用される設定レジスタの例

【図13】HRQRレジスタを用いた機能ブロック図

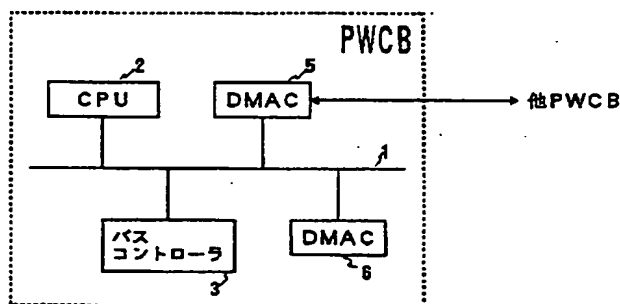
【図14】タイムチャートの例

【符号の説明】

- 1 共通バス
- 2 中央処理装置
- 3 バスコントローラ
- 5 ダイレクトアクセスコントローラ (DMAC)
- 6 バス権獲得要求最低時間設定レジスタ
- 7 DMA転送時間設定レジスタ
- 8、9 カウンタ
- 10 HOLD要求マスク
- 52、53、54 制御回路

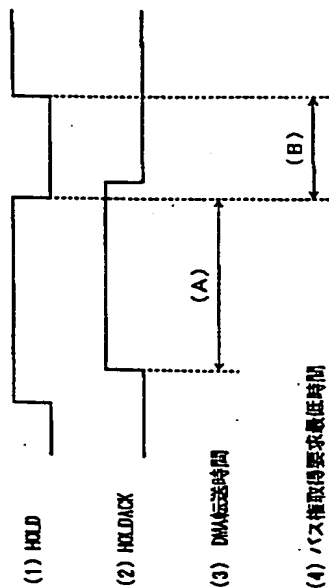
【図1】

CPU-バスの構成例



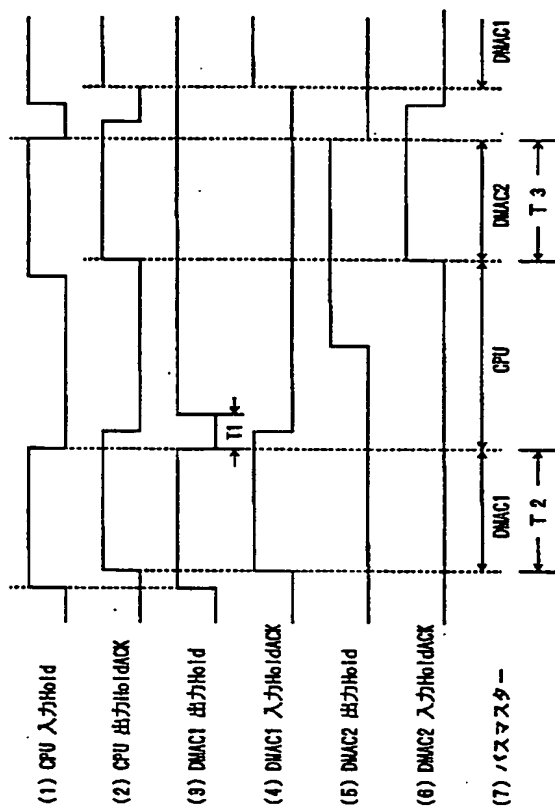
【図3】

本発明の原理を説明するための図



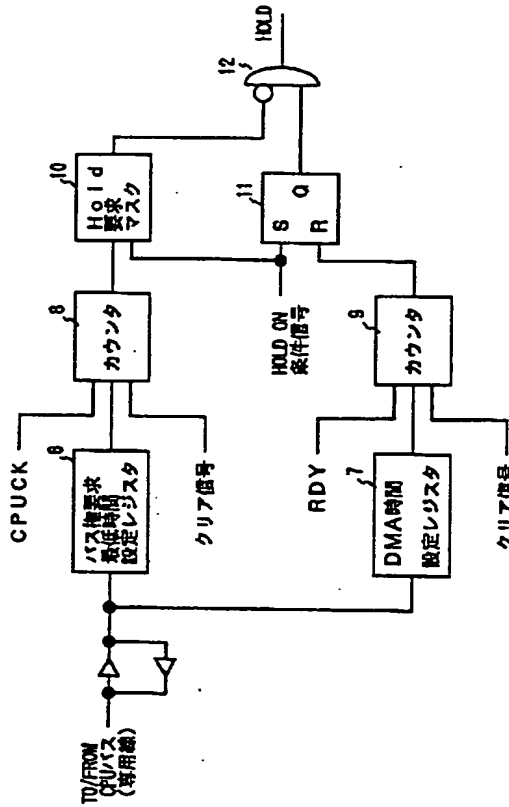
【図2】

CPU-バスの動作例



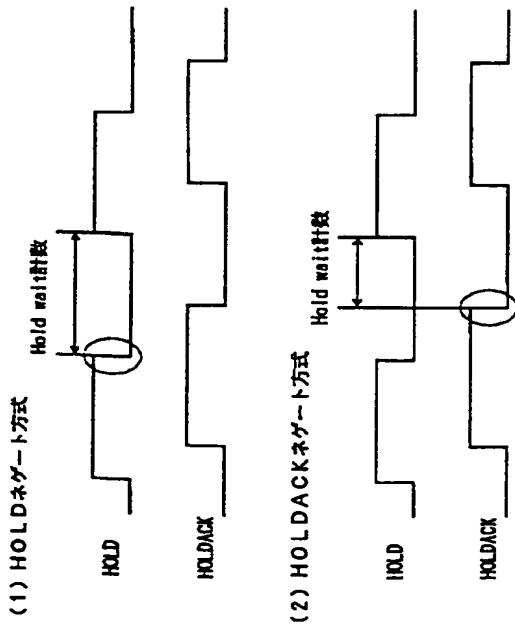
【図 4】

本発明の構成を示すブロック図



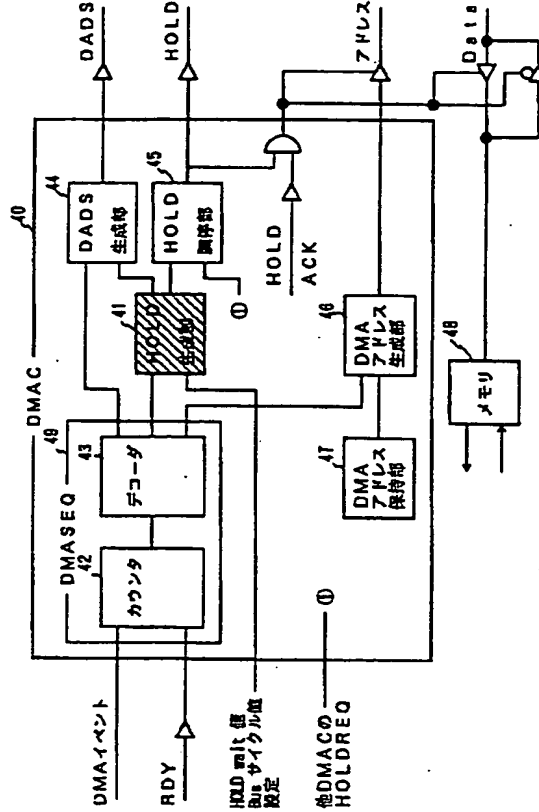
【図 8】

HOLD wait 数カウンタのトリガーを説明する図



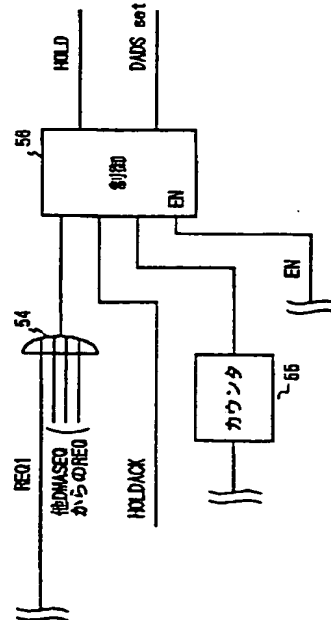
【図 6】

図 4 の構成を具備する DMAC の構成図



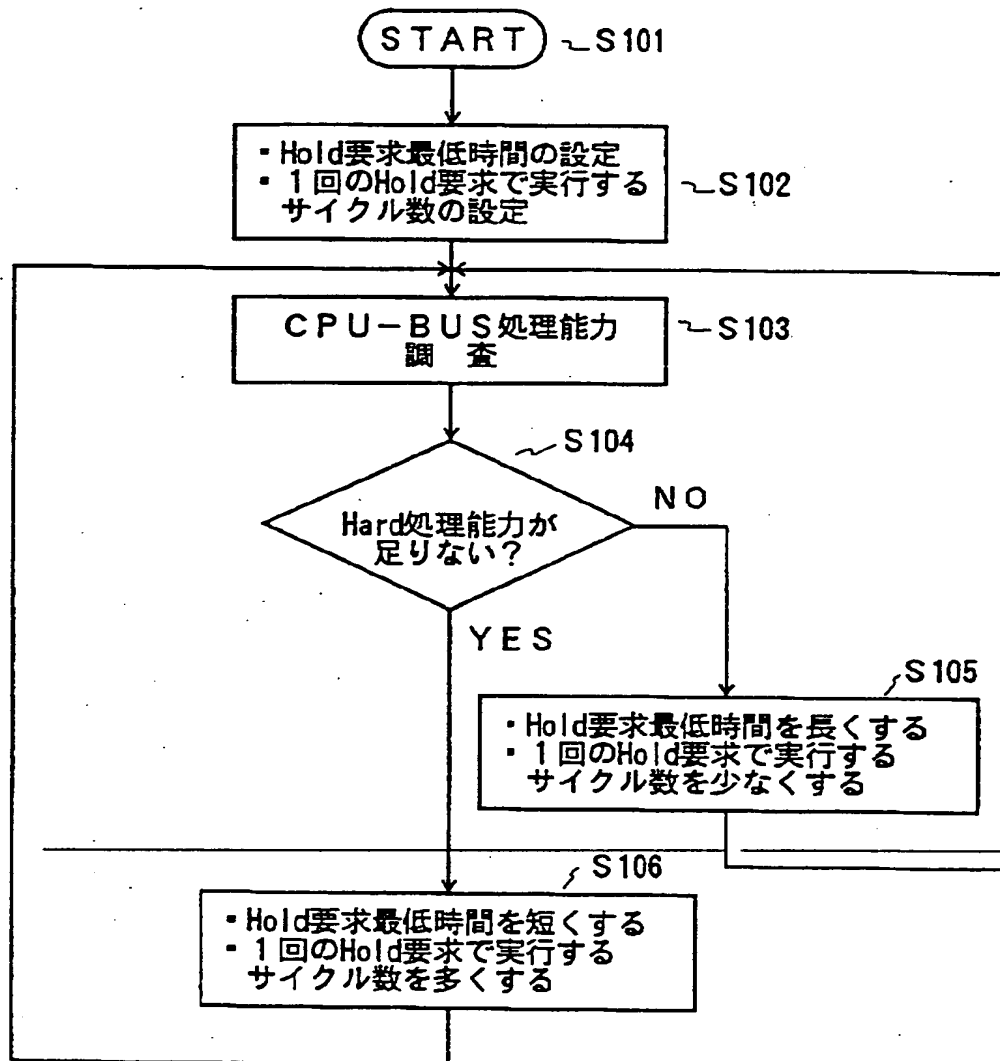
【図 9】

HOLDACKネゲート方式の場合のHOLD生成部の詳細図



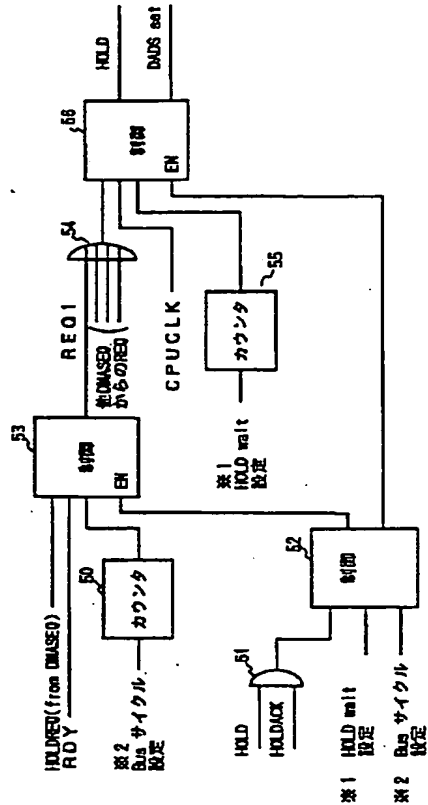
【図5】

本発明における時間設定手順



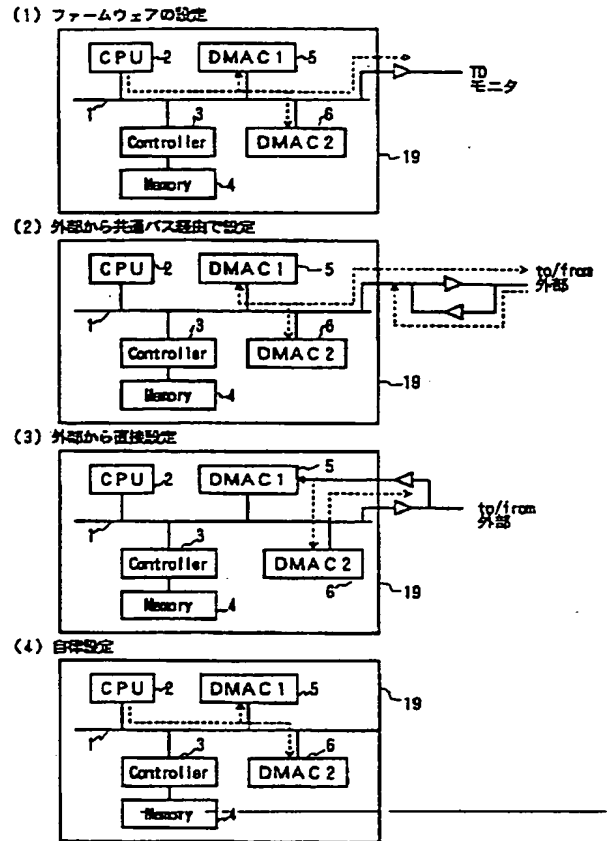
【図 7】

HOLD生成部の詳細部



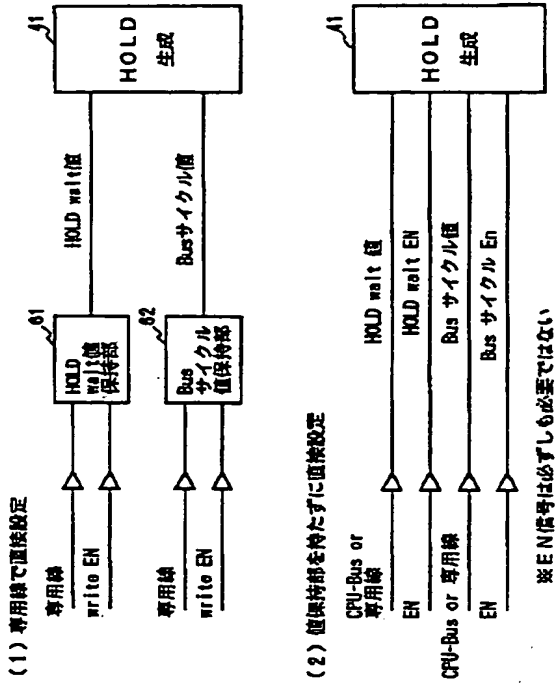
【図 10】

時間設定の手法の例



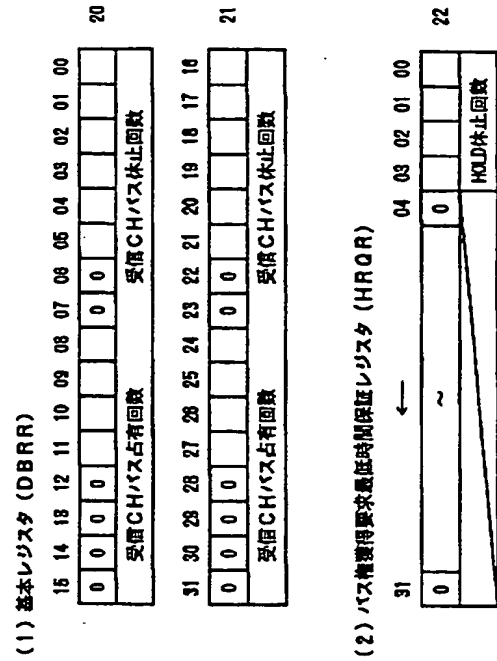
【図 1 1】

専用線による設定の例



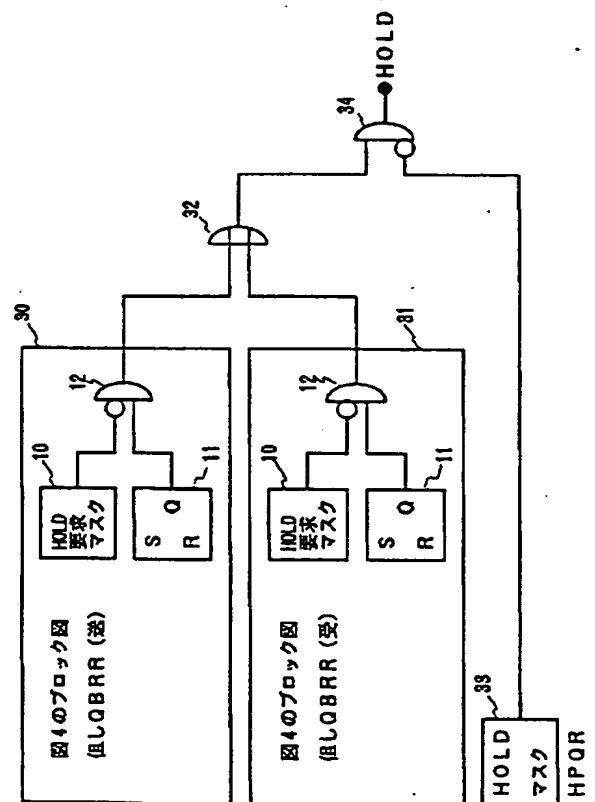
【図 1 2】

本発明に使用される設定レジスタの例



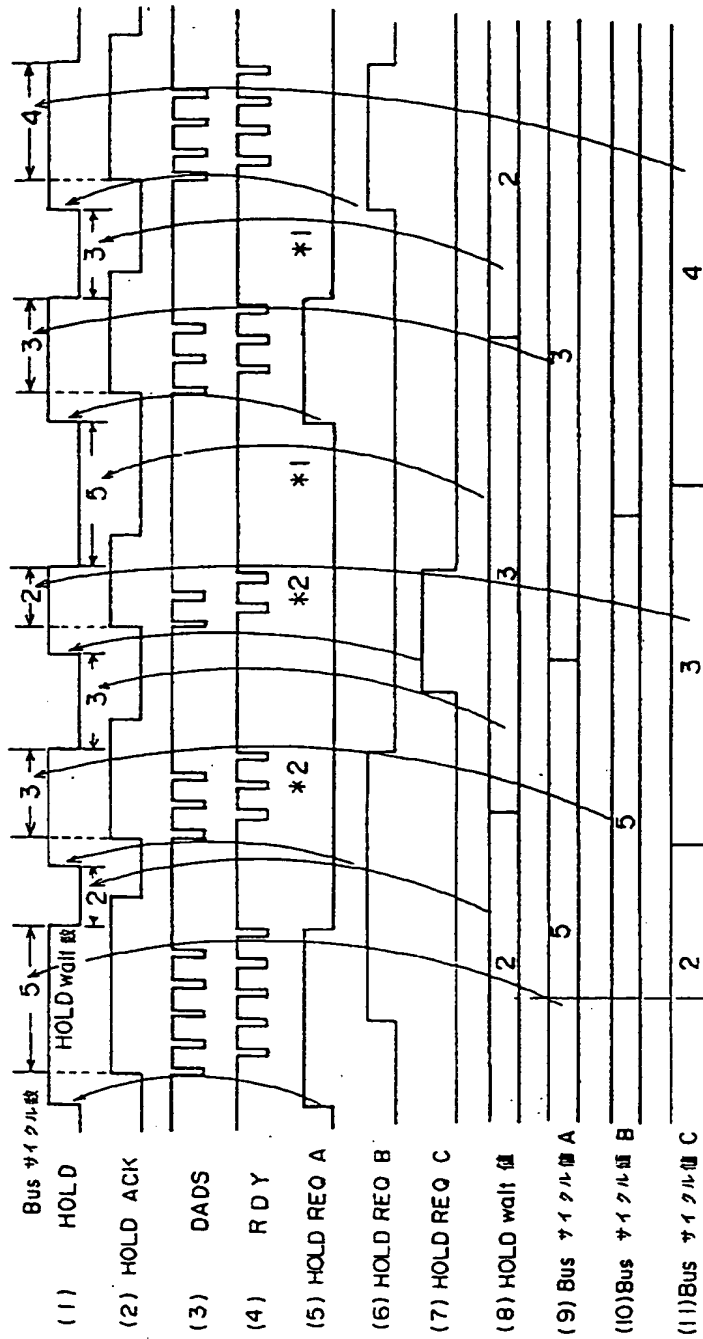
【図 1 3】

HRQRレジスタを用いた機能ブロック図



【図14】

タイムチャートの例



*1: 前回の HOLD ネットワークから次の HOLD アサート (前者は HOLD REQ1, 後者は HOLD REQ2) までの時間が、HOLD wait 値よりも長かった為、HOLD wait 値 > HOLD wait 値の関係となる。

*2: HOLD REQ ネットワーク (前者は HOLD REQ2, 後者は HOLD REQ3) が、Bus サイクル値よりも短かい為、Bus サイクル値 < Bus サイクル値の関係となる。

フロントページの続き

(72)発明者 高実子 亮

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 加藤 美治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内